

**Family list**

3 family member for: JP61201460

Derived from 1 application

**1 SEMICONDUCTOR DEVICE****Inventor:** MORIYAMA ICHIRO**Applicant:** NIPPON ELECTRIC CO**EC:** H01L27/12**IPC:** H01L27/08; H01L21/8234; H01L21/8238  
(+12)**Publication info:** JP1897704C - 1995-01-23

JP6026244B - 1994-04-06

JP61201460 A - 1986-09-06

Data supplied from the esp@cenet database - Worldwide

English Translation of JP61-201460

**RECEIVED  
CENTRAL FAX CENTER****SEP 04 2007**

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Japanese Published Patent Application No. S61-201460

(43) Date of Publication: September 6, 1986

(51) Int. Cl. <sup>4</sup>	Classification Symbol	JPO File Number
H 01 L 27/08	102	6655-5F
27/12		7514-5F
29/78		8422-5F

Request for Examination: Not filed

Number of Claim: 1 (4 pages in total)

(54) Title of the Invention

**SEMICONDUCTOR DEVICE**

(21) Japanese Patent Application No. S60-42196

(22) Date of Filing: March 4, 1985

(72) Inventor: MORIYAMA Ichiro

c/o NEC Corporation 33-1, Shiba 5-chome, Minato-ku, Tokyo

(71) Applicant: NEC Corporation 33-1, Shiba 5-chome, Minato-ku, Tokyo

(74) Agent: Patent Attorney, UCHIHARA Susumu

**Description****Title of the Invention SEMICONDUCTOR DEVICE**

**RECEIVED  
CENTRAL FAX CENTER**

English Translation of JP61-201460

SEP 04 2007

**Scope of Claim**

A complementary MIS semiconductor device formed with a semiconductor film provided on an insulator, wherein a layer of a metal or a compound of a metal and a semiconductor is formed so as to include drain regions of MIS transistors having opposite conductivity types, and a gate is connected to an upper portion thereof, so that the drain regions of the MIS transistors having opposite conductivity types and the gate have ohmic connection.

**Detailed Description of the Invention****(Field of Industrial Application)**

The present invention relates to a semiconductor device, in particular, a structure of a MIS semiconductor device.

**(Conventional Art and its Problems)**

It is said that a MIS semiconductor device formed in a semiconductor film provided on an insulator, that is, a MIS semiconductor device having a so-called SOI (Semiconductor On Insulator [sic]) structure is suitable for a high-speed large scale integrated circuit (LSI), since junction capacitance and wiring capacitance are small and element separation is perfect and easy, compared to conventional MIS semiconductor devices. For example, in a literature "SOS/CMOS device" by Nakano Motoo and Sasaki Nobuo, from Electronic Materials and Parts, January, 1982, pp. 54 - 104, a structure like a CMOS semiconductor device having an SOS (Silicon on Sapphire) structure as shown in FIG. 3(a) is shown. The SOS structure is an example of the SOI structure, and a plan view of a CMOS inverter circuit element corresponding to this is shown in FIG. 3(b).

## English Translation of JP61-201460

Here, reference numeral 1 denotes a sapphire substrate; 2, an oxide film; 3, an N-type region; 4, a P-type region; 5, a P<sup>+</sup>-type source-drain region; 6, an N<sup>+</sup>-type source-drain region; 7, P<sup>+</sup>-type polycrystalline silicon; 8, N<sup>+</sup>-type polycrystalline silicon; and 9, an Al wiring.

However, in recent years, a technique of separating minute elements has been developing also in the conventional MIS semiconductor devices formed on a semiconductor substrate, and integration at almost the same level as the MIS semiconductor devices having the SOI structure has become possible. In response to this, in the MIS semiconductor devices having the SOI structure, a structure for further improving integration degree has been proposed these days. FIGS. 4(a) and (b) are a schematic cross-sectional view and a corresponding plan view of a CMOS inverter circuit element having the improved SOS structure. Here, reference numerals 1 to 9 are the same as 1 to 9 in FIG. 3. In this structure, drains of an NMOS transistor and a PMOS transistor are connected, an opening is formed in an upper portion thereof so as to include at least a junction boundary, and then, an Al wiring is formed. Therefore, there is a feature that ohmic connection is obtained with respect to both N<sup>+</sup>-type and P<sup>+</sup>-type drain regions. With this structure, further integration can be obtained, compared to the inverter circuit element using the MIS semiconductor device having the conventional SOI structure.

However, as a transistor is reduced in size in order to obtain a higher-speed LSI, integration degree is getting restricted also in the case of the semiconductor device having the improved SOI structure. In other words, when the area of a contact hole is reduced in accordance with the reduction of a transistor in size, resistance of the contact hole is increased, which prevents a speedup of an LSI. Therefore, the reduction of the

## English Translation of JP61-201460

contact hole in area has to be restricted; thus, also in the case of the semiconductor device having the improved SOI structure, integration degree is restricted by the area of the contact hole; as a result, more integration is impossible.

As described above, limitation of the conventional semiconductor device is clear when a high-speed and highly integrated LSI is formed, and there is a serious problem in the future.

(Object of the Invention)

It is an object of the present invention to provide a structure of a MIS semiconductor device having an SOI structure in which the above problem is solved.

(Constitution of the Invention)

According to the present invention, a complementary MIS semiconductor device formed in a semiconductor film provided on an insulator is obtained, which has a feature that a layer of a metal or a compound of a metal and a semiconductor is formed so as to include drain regions of MIS transistors having opposite conductivity types, and a gate electrode is connected to an upper portion thereof, so that the drain regions of the MIS transistors having opposite conductivity types and the gate electrode have ohmic connection.

(Embodiment)

First, an embodiment of a MIS semiconductor device having an SOI structure according to the present invention will be described.

FIGS. 1(a) and (b) are respectively a schematic cross-sectional view and a plan view of an inverter circuit element formed using the present structure as one embodiment of the MIS semiconductor device according to the present invention. In the drawings, reference numerals 3 to 6 are the same as 3 to 6 in FIG. 3, and reference

## English Translation of JP61-201460

numeral 10 denotes an insulating substrate; 11, an insulating film; 12, a P<sup>+</sup>-type semiconductor film; 13, an N<sup>+</sup>-type semiconductor film; 14, a film of a metal or a compound of a metal and a semiconductor; and 15, a wiring. According to the present structure, source and drain diffusion layers of the MIS transistors having opposite conductivity types, which correspond to the output of the inverter circuit element, have ohmic connection to the P<sup>+</sup>-type and N<sup>+</sup>-type semiconductor films that are to be gates of the inverter circuit element in the next layer through the film of a metal or a compound of a metal and a semiconductor. Therefore, the structure of the present invention is suitable for a high-speed and highly integrated LSI, because integration degree is improved compared to the inverter circuit element of the conventional structure since it is not necessary to open a contact hole in the gate; the number of the contact holes is reduced, and thus, resistance can be reduced by resistance of the contact; and excellent characteristics such as the increase in degree of freedom of wirings are obtained since a wiring layer using the gate and a wiring layer connected to the source and drain layers are formed in different layers.

Next, a manufacturing process for achieving the structure of the present invention will be described based on an embodiment.

FIGS. 2(a) to (d) are schematic cross-sectional views showing main manufacturing steps of the CMOS inverter circuit element including N<sup>+</sup> and P<sup>+</sup> polycrystalline silicon gates having the SOS structure of the present structure. In the drawings, reference numerals 1, 3 to 9 are the same as 1, 3 to 9 in FIG. 1, and reference numeral 16 denotes a gate oxide film; 17, a titanium silicide film; and 18, an interlayer oxide film. First, a silicon island having a thickness of 0.5  $\mu\text{m}$  is formed on a sapphire substrate 1. Then, thermal oxidation is performed to form the gate oxide film 16 to

## English Translation of JP61-201460

have a thickness of 400 Å, and further, an N-type region 3 and a P-type region 4 are formed by injecting ions of impurities (FIG. 2(a)).

Next, the gate oxide film 4 [sic] at a boundary portion of the N-type region 3 and the P-type region 4 of the silicon island is patterned and an opening is provided so that the base silicon film is exposed. Then, the upper portion of the exposed silicon film is made into titanium silicide (FIG. 2(b)). Here, titanium silicide is formed in the following steps. First, a titanium film is formed to have a thickness of 400 Å by a sputtering method on the entire surface of a sample where the opening is formed in the gate oxide film 4 [sic], and then, annealing is performed at 600 °C for 20 minutes in a hydrogen atmosphere. At this time, only a portion in the opening where silicon is exposed becomes titanium silicide. Next, this sample is washed by boiling using a mixed solution of HCl:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O = 1:1:4 for 10 minutes, and washing with pure water is performed for 10 minutes. After that, annealing is performed at 800 °C for 30 minutes in a nitrogen atmosphere. Here, washing with acid is performed, so that the titanium film is peeled, and the titanium silicide is left only in the opening as shown in FIG. 2(b).

Next, polycrystalline silicon is formed to be 0.5 μm by a CVD method on the sample in a state of (b), and a gate and a wiring region are patterned. After that, by injecting ions of impurities, a P<sup>+</sup>-type source-drain region 5, an N<sup>+</sup>-type source-drain region 6, P<sup>+</sup>-type polycrystalline silicon 7, and N<sup>+</sup>-type polycrystalline 8 are formed in a self-alignment manner (FIG. 2(c)). Here, it is necessary to make the size of the above N<sup>+</sup>-type and P<sup>+</sup>-type polycrystalline silicon in the upper portion of the opening smaller than the size of the opening. Accordingly, titanium silicide 14 [sic] in the opening and

## English Translation of JP61-201460

the P<sup>+</sup>-type source-drain region 5 and the N<sup>+</sup>-type source-drain region 6 can be connected. As a result, ohmic connection between the P<sup>+</sup>-type and N<sup>+</sup>-type source-drain regions 5 and 6 and the N<sup>+</sup>-type and P<sup>+</sup>-type polycrystalline silicon 7 and 8 can be obtained through the titanium silicide 14 [sic].

Then, after an interlayer insulating film is formed to be 0.5  $\mu\text{m}$  by a CVD method on the sample in a state of (c) and a contact hole is patterned, an Al wiring 9 is formed (FIG. 2(d)). The above steps are one embodiment of the manufacturing process for achieving the structure of the present invention. Note that in this embodiment, the film of titanium silicide is used as a method for obtaining ohmic connection between semiconductors having opposite conductivity types, but other metal silicide or metals can also be used.

Although the manufacturing process is described using the CMOS inverter circuit element having the SOS structure as an example as described above, it is clear that the process can also be applied to general MIS structure inverter circuit elements. In addition, the structure of the present invention can also be applied to a complementary MIS semiconductor device including a semiconductor gate or a metal gate having one conductivity type, further, to other circuit elements, without limitation to the inverter circuit elements.

## (Effect of the Invention)

According to the present invention, a semiconductor device with excellent characteristics can be obtained, in which integration degree is high and resistance can be reduced because of the small number of contact holes, and degree of freedom of wirings is increased, compared to the structure of the conventional MIS semiconductor device.



## English Translation of JP61-201460

## Brief Description of the Drawings

FIGS. 1(a) and (b) are respectively a schematic cross-sectional view and a plan view of the inverter circuit element formed using the present structure as one basic embodiment of the semiconductor device according to the present invention.

FIGS. 2(a) to (d) are schematic cross-sectional views showing the embodiment of the manufacturing process for achieving the semiconductor device according to the present invention.

FIGS. 3(a) and (b) are respectively a schematic cross-sectional view and a plan view of the MIS semiconductor device having the conventional SOI structure.

FIGS. 4(a) and (b) are respectively a schematic cross-sectional view and a plan view of the MIS semiconductor device having the improved conventional SOI structure.

1: sapphire substrate, 2: oxide film, 3: N-type region, 4: P-type region, 5: P<sup>+</sup>-type source-drain region, 6: N<sup>+</sup>-type source-drain region, 7: P<sup>+</sup>-type polycrystalline silicon, 8: N<sup>+</sup>-type polycrystalline silicon, 9: Al wiring, 10: insulating substrate, 11: insulating film, 12: P<sup>+</sup>-type semiconductor film, 13: N<sup>+</sup>-type semiconductor film, 14: film of metal or compound of metal and semiconductor, 15: wiring, 16: gate oxide film, 17: titanium silicide film, 18: interlayer oxide film

Agent: Patent Attorney, UCHIHARA Susumu

⑤ 日本国特許庁(JP)

④ 特許出願公開

⑥ 公開特許公報(A)

昭61-201460

③ Int. Cl.

識別記号

庁内整理番号

⑦ 公開 昭和61年(1986)9月6日

H 01 L 27/08  
27/12  
29/78

102

6655-5F  
7514-5F  
8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑧ 発明の名称 半導体装置

① 特 願 昭60-42196

② 出 願 昭60(1985)3月4日

⑨ 発 明 者 森 山 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑪ 代 理 人 弁理士 内 原 香

## 明 細 書

発明の名称 半導体装置

## 特許請求の範囲

絶縁体上に設けられた半導体膜に形成した相補型のMIS型半導体装置において、相対する導電型のMIS型トランジスタのドレイン領域を含むように金属または金属と半導体の化合物の層が形成され、次いでその上部にゲートが被覆されることにより、前記相対する導電型のMIS型トランジスタのドレイン領域とゲートがオーミックに接続されていることを特徴とする半導体装置。

## 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、特にMIS型半導体装置の構造に関する。

(従来技術とその問題点)

絶縁体上に設けられた半導体膜に形成したMIS

型半導体装置いわゆるSOI(Semiconductor on Insulator)構造のMIS型半導体装置は従来のMIS型半導体装置に比較して結合容量及び配線容量が小さく素子分離が完全かつ簡便であることから高速の大規模集積回路(LSI)に適した半導体装置であるといわれる。例えば電子材料、1982年1月の54ページから104ページ掲載の中野元雄、佐々木伸次による文献「SOI/CMOSデバイス」においては、第3図(a)に示したSOI(Silicon on Sapphire)構造のCMOS型半導体装置の構造が示されている。SOI構造はSOI構造の一例であり、これに対応するCMOSインバータ回路素子の平面図を第3図(b)に示す。

ここで1はサファイヤ基板、2は酸化膜、3はN形領域、4はP形領域、5はP形ソース・ドレイン領域、6はN形ソース・ドレイン領域であり、7はP形多結晶シリコン、8はN形多結晶シリコン、9はAl配線である。

しかしながら、近年、従来の半導体装置上に形

## 特開昭61-201460 (2)

成したMIS型半導体装置においても微細な素子分離技術が発達し、SOI構造のMIS型半導体装置と同程度の集積化が可能となってきた。これに対し最近SOI構造のMIS型半導体装置においてさらに集積度を向上させる構造が提案されている。第4図(a)(b)はその改善されたSOI構造のCMOSインバータ回路素子の模式的断面図と対応する平面図である。ここで1~8は第3図の1~9と同じである。この構造はNMOSトランジスタとPMOSトランジスタのドレイン同士を接合せしめその上部に少なくとも接合境界が含まれるように開口部を形成した後Al配線を行うことによって、N形、P形いずれのドレイン領域に対してもオーミックな接続が得られるところに特徴がある。この構造によれば従来のSOI構造のMIS型半導体装置によるインバータ回路素子に比べてさらに集積化することが可能となる。

ところが、より高速のLSIを目指しトランジスタの縮小化を進めていくと、前記改良型のSOI構造の半導体装置の場合も集積度に限界が生じて

くる。すなわちトランジスタの縮小化にともないコンタクト孔の面積を縮小するとコンタクト孔の抵抗は増大しLSIの高速化を妨げる要因となる。従ってコンタクト孔の面積の縮小化を制限させるを得なくなり、そのため前記改良型のSOI構造の半導体装置の場合もその集積度はコンタクト孔の面積に制限されてそれ以上の集積化が不可能となる。

以上のように、従来の半導体装置は高速・高集積のLSIを形成するうえで限界が明らかであり将来的に重大な問題を有している。

## (発明の目的)

本発明は上記問題点を除去したSOI構造のMIS型半導体装置の構造を提供することを目的とする。

## (発明の構成)

本発明によれば絶縁体上に設けられた半導体膜に形成した相補型のMIS型半導体装置において、相対する導電型のMIS型トランジスタのドレイン領域を含むように金属または金属と半導体の化

合物の層が形成され、次いでその上部にゲート電極が接続されることによって前記相対する導電型のMIS型トランジスタのドレイン領域とゲート電極がオーミックに接続されていることを特徴とする半導体装置が得られる。

## (実施例)

まず、本発明によるSOI構造のMIS型半導体装置の実施例を説明する。

第1図(a)(b)はそれぞれ本発明によるMIS型半導体装置の実施例として本構造により形成したインバータ回路素子の模式的断面図と平面図である。図中、3~8は第3図の3~8と同じであり、10は絶縁基板、11は絶縁膜、12はP形半導体膜、13はN形半導体膜、14は金属または金属と半導体の化合物による膜、15は配線である。本構造によればインバータ回路素子の出力に対応する相対する導電型のMIS型トランジスタのソース及びドレイン拡散層は金属または金属と半導体の化合物による膜を介して次のインバータ回路素子のゲートになるP形またはN形半導体膜とオ

ーミックな接続がとれている。従って本発明の構造は従来のインバータ回路素子に比べてゲートにコンタクト孔を開ける必要がないので集積度が向上し、またコンタクト孔が減少したことからそのコンタクトの抵抗分だけ低抵抗化することができ、さらにゲートによる配線層とソース及びドレイン層に接続した配線層は別の層に形成されるために配線の自由度が増すなどすぐれた特性をもち、高速、高集積のLSIに適した構造である。

次に本発明による構造を実現するための製造工程について実施例に基づき説明する。

第2図(a)~(d)は特に本構造によるSOI構造のN及びP多結晶シリコンゲートのCMOSインバータ回路素子の製造主要工程を示した模式的断面図である。図中1、3~8は第1図の1、3~8と同じであり、16はゲート酸化膜、17はチタンシリサイド膜、18は層間酸化膜である。まずサファイヤ基板1の上に厚さ0.5μmのシリコン膜を形成し、次に熱酸化してゲート酸化膜16厚さ400Åに形成し、さらに不純物のイオン注入に

## 特開昭61-201460 (3)

よってN形領域3、P形領域4を形成する。〔第2図(a)〕

次にシリコン島のN形領域3とP形領域4の境界部分のゲート酸化膜4をパターンニングして下地のシリコン膜が露出するように開口部を設け、露出したシリコン膜の上部をチタンシリサイド化する。〔第2図(b)〕ここでチタンシリサイドは次のような工程で形成される。まずゲート酸化膜4に開口部を設けた試料全面にチタン膜をスパッタリング法により厚さ400Å形成した後水素雰囲気中で600℃、20分アニールする。このとき開口部のシリコンが露出した部分のみがチタンシリサイド化する。次にこの試料を $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:4$ 混合液により煮沸洗浄10分、及び純水洗浄10分処理した後窒素雰囲気中800℃30分アニールする。ここで煮沸洗浄を行うことによりチタン膜がはく離され、第2図の(b)のように開口部のみチタンシリサイドが残る。

次に(b)の状態の試料に多結晶シリコンを0.5μm CVD法により形成しゲート及び配線領域をパ

ターンニングした後、不純物のイオン注入により自己整合的にP形ソース・ドレイン領域5、N形ソース・ドレイン領域6、P形多結晶シリコン7、N形多結晶シリコン8を形成する〔第2図(c)〕。ここで開口部の上部のN形、P形多結晶シリコンは開口部のサイズより小さく形成しなければならぬ。こうすることにより開口部のチタンシリサイド14とP形ソース・ドレイン領域5、N形ソース・ドレイン領域6との間の接続がとれる。この結果、P形及びN形ソース・ドレイン領域5、6とN形及びP形多結晶シリコン7、8とのオーミックな接続がチタンシリサイド14を介してとることができる。

次に(c)の状態の試料に層間絶縁膜を0.5μm CVD法により形成しコンタクト孔をパターンニングした後、Al配線9を形成する。〔第2図(d)〕以上が本発明の構造を実現するための製造工程の一実施例である。尚本実施例では相対する導電型の半導体の間のオーミックな接続をとる方法としてチタンシリサイドの膜を用いたが、これは他の

金属シリサイドまたは金属でも可能である。

以上、808構造のCMOSインバータ回路素子を例に製造工程を説明したが、一般的なMIS構造のインバータ回路素子に適用できることが明らかである。また本発明の構造は単一導電型の半導体ゲートや金属ゲートの相補型MIS型半導体装置にも適用でき、さらにインバータ回路素子に限らず他の回路素子への適用も可能である。

## (発明の効果)

本発明によれば、従来のMIS型半導体装置の構造と比較して、コンタクト孔が少ないために抵抗値が高く、低抵抗化が可能であり、また配線の自由度が増すなどすぐれた特性をもつ半導体装置が得られる。

## 図面の簡単な説明

第1図(a)(b)はそれぞれ本発明による半導体装置の基本的な一実施例として本構造により形成したインバータ回路素子の模式的断面図と平面図。

第2図(a)～(d)は本発明の半導体装置を実現する

ための製造工程の実施例を示した模式的断面図。

第3図(a)、(b)はそれぞれ従来の808構造のMIS型半導体装置の模式的断面図と平面図。

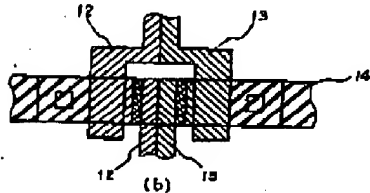
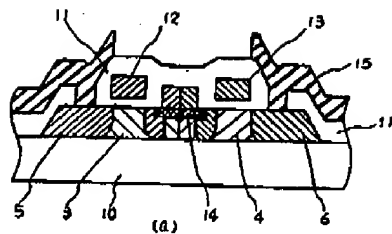
第4図(a)、(b)はそれぞれ改良型の従来の808構造のMIS型半導体装置の模式的断面図と平面図である。

1…サファイヤ基板、2…酸化膜、3…N形領域、4…P形領域、5…P形ソース・ドレイン領域、6…N形ソース・ドレイン領域、7…P形多結晶シリコン、8…N形多結晶シリコン、9…Al配線、10…絶縁層、11…絶縁膜、12…P形半導体膜、13…N形半導体膜、14…金属または金属と半導体の化合物の膜、15…配線、16…ゲート酸化膜、17…チタンシリサイド膜、18…層間酸化膜。

内閣府 特許庁

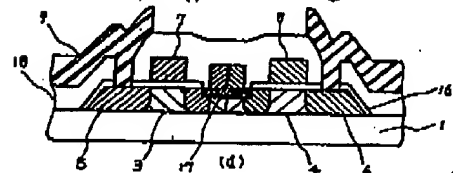
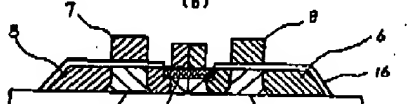
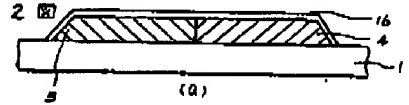
## 特開明61-201460 (4)

第 1 図



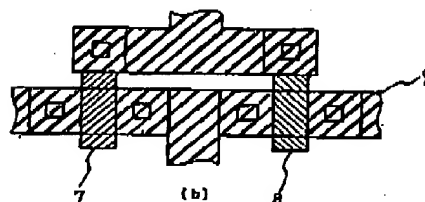
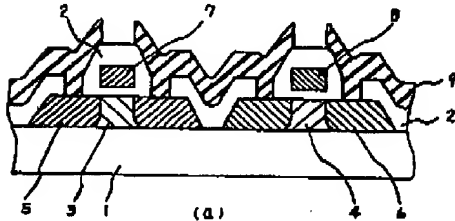
- 3...N<sup>+</sup>型領域  
4...P<sup>+</sup>型領域  
5...P<sup>+</sup>型ソース・ドレイン領域  
6...N<sup>+</sup>型ソース・ドレイン領域  
10...絶縁層  
11...絶縁層  
12...P<sup>+</sup>型半導体膜  
13...N<sup>+</sup>型半導体膜  
14...金属または金属と半導体の合金層  
15...酸化物

第 2 図



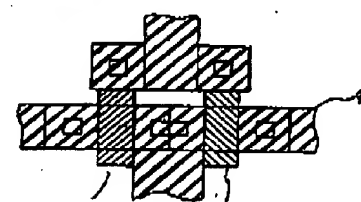
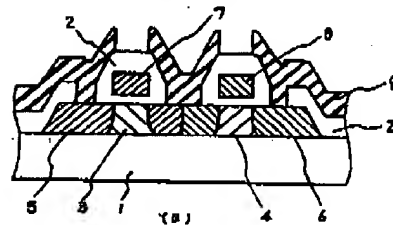
- 1...サファイヤ基板  
2...N<sup>+</sup>型領域  
3...P<sup>+</sup>型領域  
4...P<sup>+</sup>型ソース・ドレイン領域  
5...N<sup>+</sup>型ソース・ドレイン領域  
6...絶縁層  
7...P<sup>+</sup>型半導体シリコン  
8...N<sup>+</sup>型半導体シリコン  
9...AL<sub>2</sub>O<sub>3</sub>膜  
10...ゲート絶縁膜  
11...タングステンサイド壁  
12...層間絶縁膜

第 3 図



- 1...サファイヤ基板  
2...絶縁膜  
3...N<sup>+</sup>型領域  
4...P<sup>+</sup>型領域  
5...P<sup>+</sup>型ソース・ドレイン領域  
6...N<sup>+</sup>型ソース・ドレイン領域  
7...P<sup>+</sup>型半導体シリコン  
8...N<sup>+</sup>型半導体シリコン  
9...AL<sub>2</sub>O<sub>3</sub>膜

第 4 図



- 1...サファイヤ基板  
2...絶縁膜  
3...N<sup>+</sup>型領域  
4...P<sup>+</sup>型領域  
5...P<sup>+</sup>型ソース・ドレイン領域  
6...N<sup>+</sup>型ソース・ドレイン領域  
7...P<sup>+</sup>型半導体シリコン  
8...N<sup>+</sup>型半導体シリコン  
9...AL<sub>2</sub>O<sub>3</sub>膜